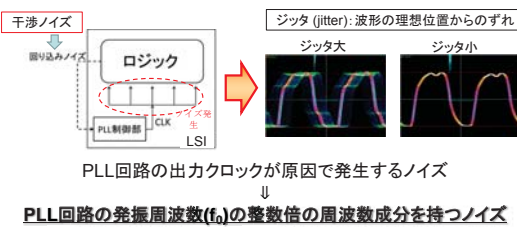


“エコー”を応用した外部ノイズ削減率40% 通信デバイス用発振回路

1. 背景

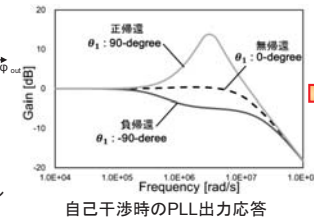
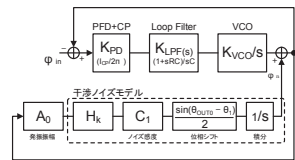
- ◆LSIにおける干渉問題
- ・ 通信用LSIの高速化とそれに伴う干渉ノイズの影響の顕在化
- ・ 干渉ノイズのメカニズムを解明しノイズ低減手法の提案を行う



2. PLL回路における線形モデルの提案

提案するノイズモデル

- ✓ ノイズ生成において印加タイミングの概念を導入
- ✓ 高調波次数の量み込みを考慮



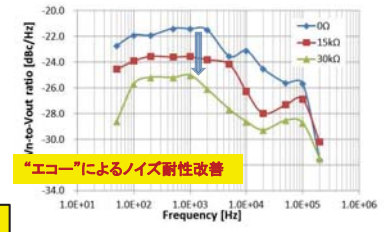
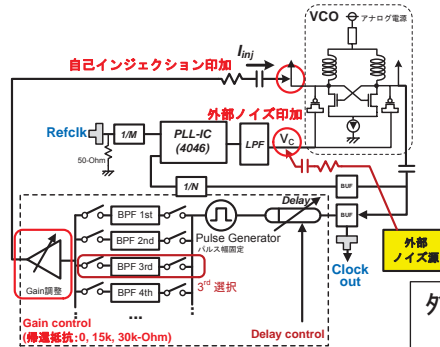
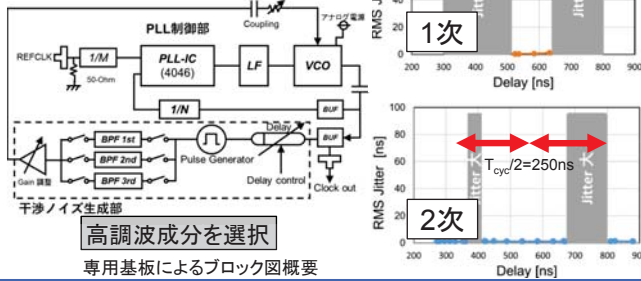
印加タイミングによって

ピークを持つ場合(正帰還)とゲイン低下の場合(負帰還)がある

“エコー”効果 タイミング依存

3. ブレッドボードモデル(BBM)による自己干渉ノイズ&自己インジェクション評価

自己干渉ノイズの影響をBBM測定により解析

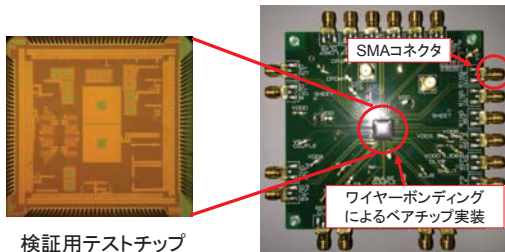


外部からの低オフセットノイズに対し、約40%の抑制効果

4. 相互インジェクションによる干渉ノイズ低減効果検証

◆ 検証用テストチップの設計

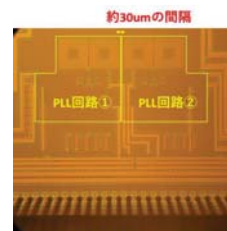
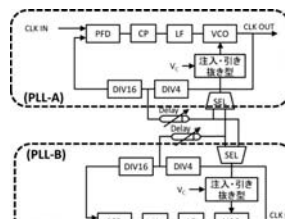
ローム 0.18μm CMOS ロジックプロセス



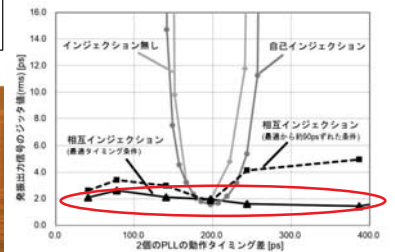
干渉ノイズによる影響を測定するため集積回路を設計

テストチップの特徴

- ✓ 2つの発振器(PLL回路)の相互干渉を利用
- ✓ 相互干渉を“エコーキャンセル”の原理で解消



テストチップ検証結果



- ✓ 相互干渉によるジッタ大を観測
- ✓ 相互インジェクションでジッタ大が解消することを確認

- ✓ インピーダンス整合を考慮したマイクロストリップライン
- ✓ テストチップのペアチップ実装

➡ 数GHzのクロック信号の伝送が可能

近接した2つの発振器の相互干渉(～エコーの響きあい)を観測し、相互インジェクションによる“エコーキャンセル”での不具合解消確認

相互干渉の解消を実現

(特願2018-141815, 2018年7月27日, 吉村勉, 学校法人常翔学園)