

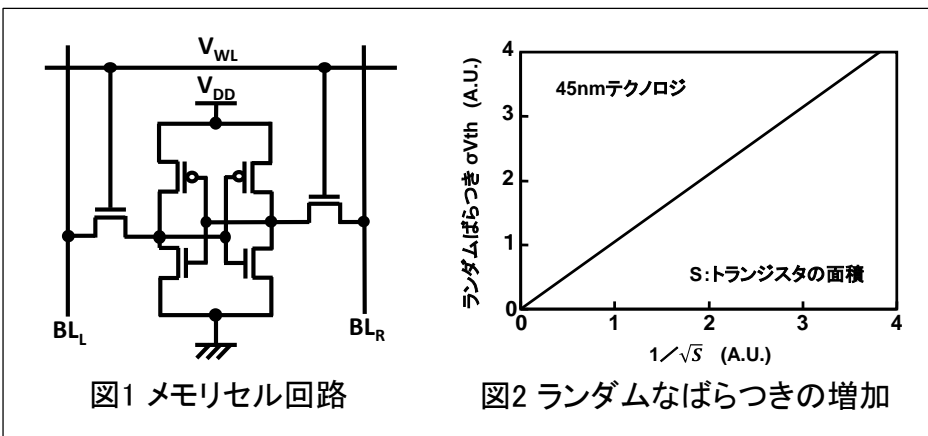
# スタティックメモリの動作安定化の研究 ～動かないメモリを動かして歩留まりを上げる～

### 1. 研究の背景

AI、ロボット、携帯電話、自動車など最新の機器やシステムには高度な情報技術が取り入れられています。これらの情報技術を支えているのがLSI(Large Scale Integration)であり、機器やシステムの進歩はLSIの進歩そのものであると言っても過言ではありません。今後AIの進歩が大きく期待されていますが、そのためにはLSIの性能をもっと向上させる必要があります。

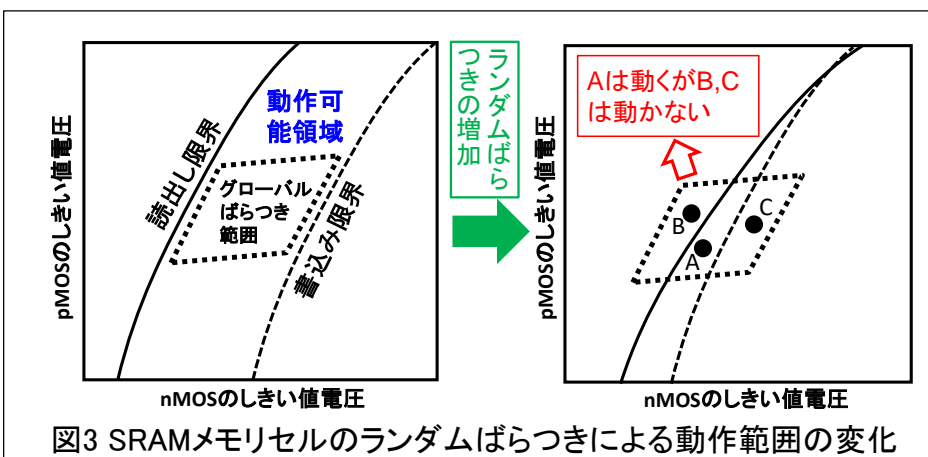
LSIの性能を上げるには、SRAM(Static Random Access Memory)の記憶容量を増やすことが不可欠です。SRAMは、オンチップの高速メモリとして、キャッシュメモリやデータ格納用に用いられ、常にビット数の増加が求められています。

SRAMの多ビット化は、素子の微細化によって実現されますが、最近では微細化による特性のランダムなばらつきが増加が大きな問題となっています[1]。SRAMにおいて1ビットを記憶するメモセルは、図1のように、合計6個のトランジスタから成りますが、この6個のトランジスタがランダムにばらつきます。一例として、45nmプロセスにおけるランダムなばらつき増加の様子を図2に示します。



トランジスタのしきい値電圧( $V_{th}$ )はトランジスタの特性を決定する重要なパラメータですが、 $V_{th}$ のランダムなばらつきがトランジスタ面積の平方根に反比例してどんどん大きくなるのが分かります。

メモセル(図1)は、読み出しと書き込みが安定して行える必要がありますが、ランダムなばらつき増加によって、安定動作が困難になります。図3に示すように、動作可能領域が狭くなって、動作歩留まりが下がり、場合によっては全く動作不能となってしまいます。



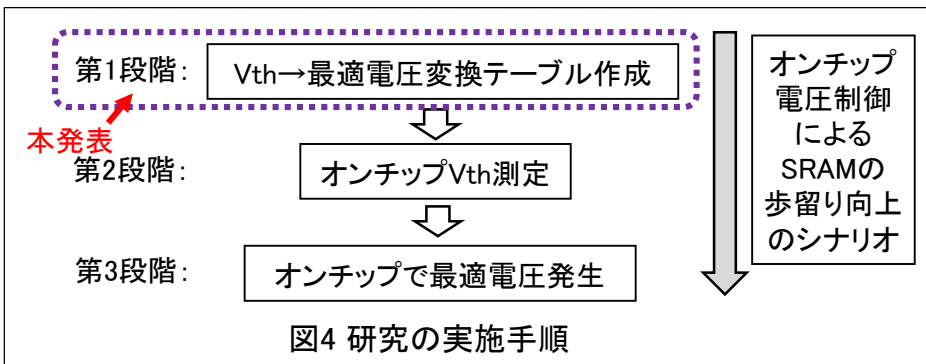
SRAMのビット数が多くなるほど、ばらつき範囲が大きくなるので、動作範囲はもっと小さくなってしまいます。このままでは、多ビットのSRAMを作ってもばらつきで歩留まりが低くなってしまいますので、**何等かの対策が必要**です。

### 2. 研究の目的

本研究は、この問題を解決するために、LSI毎に仕上がり状態を検知して、それに合わせて電圧を最適化することで、通常の電圧では不良となるSRAMを動作可能にして救済するというもので、しかも、**すべての処理をオンチップで自動的に行う**ことを目標としています。研究は、図4に示すように3段階で実施する予定です。

まず、第1段階として、しきい値の仕上がり状況に応じた最適電圧を明らかにしてその対応関係から変換テーブルを作成します。次に第2段階としてオンチップでしきい値の中央値を自動測定する方法を開発します。

最後に、第3段階として仕上がりに応じた最適電圧をオンチップで発生してSRAMに与える機構を開発します。これによって、電圧の最適化が自動的に行われ、SRAMの動作歩留まりを大きく改善することが可能となります。



今回の発表では、図4のうち、第1段階としてSRAMの最適電圧に関する研究内容と結果について報告します。

### 3. 研究方法

#### 3.1. シミュレーション条件

メモセルの書き込みと読み出しの動作可否を、図5に示す検証回路を用いて調査しました。デバイスパラメータは、バークレイの45nmのSPICEパラメータを使用しました[2]。

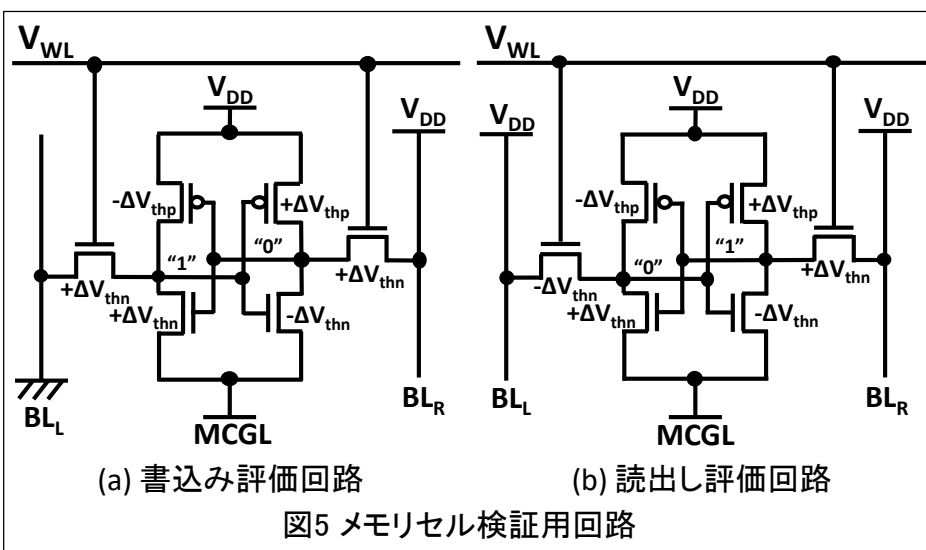
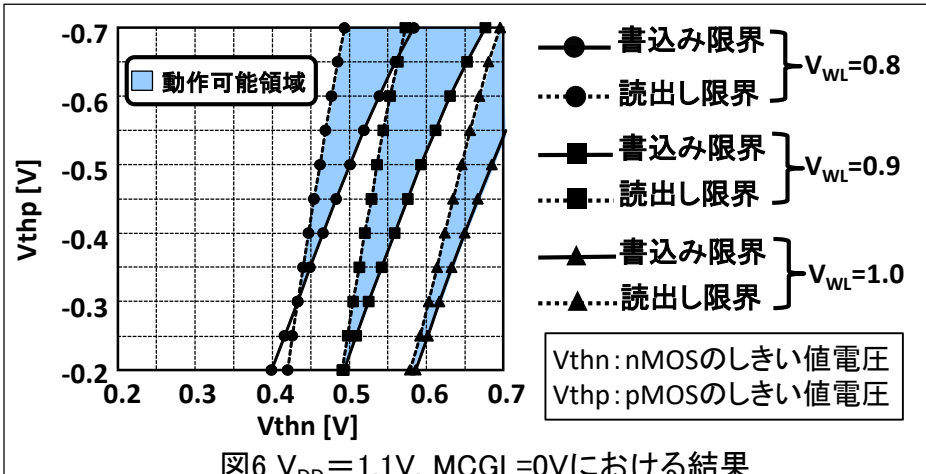


図5(a)と(b)は、それぞれ書き込みと読み出しに対して最も厳しい条件です。ここで、 $\Delta V_{thn}$ と $\Delta V_{thp}$ はnMOSおよびpMOSトランジスタのランダムなしきい値電圧の変動を表し、100メガビット規模のSRAMを想定して $2.5\sigma$ の値としました。 $\sigma$ は標準偏差で、 $2.5\sigma$ は数億個程度のメモセルのばらつきに相当します。また、 $\sigma$ の値は、Stolkの式[1]とデバイスパラメータ[2]から、nMOSを46.3mV、pMOSを45.6mVとしました。

変化させる電圧は、ワード線電圧( $V_{WL}$ )、電源電圧( $V_{DD}$ )、メモセルのGND電圧(MCGL)の3種類で、pMOSとnMOSのしきい値電圧の中心値( $V_{thp}$ ,  $V_{thn}$ )を0.2V~0.7Vの範囲で50mVずつに区切り、それぞれの領域で書き込みと読み出しの両方の動作が可能となる電圧条件を調べました[3]。

#### 3.2. 結果

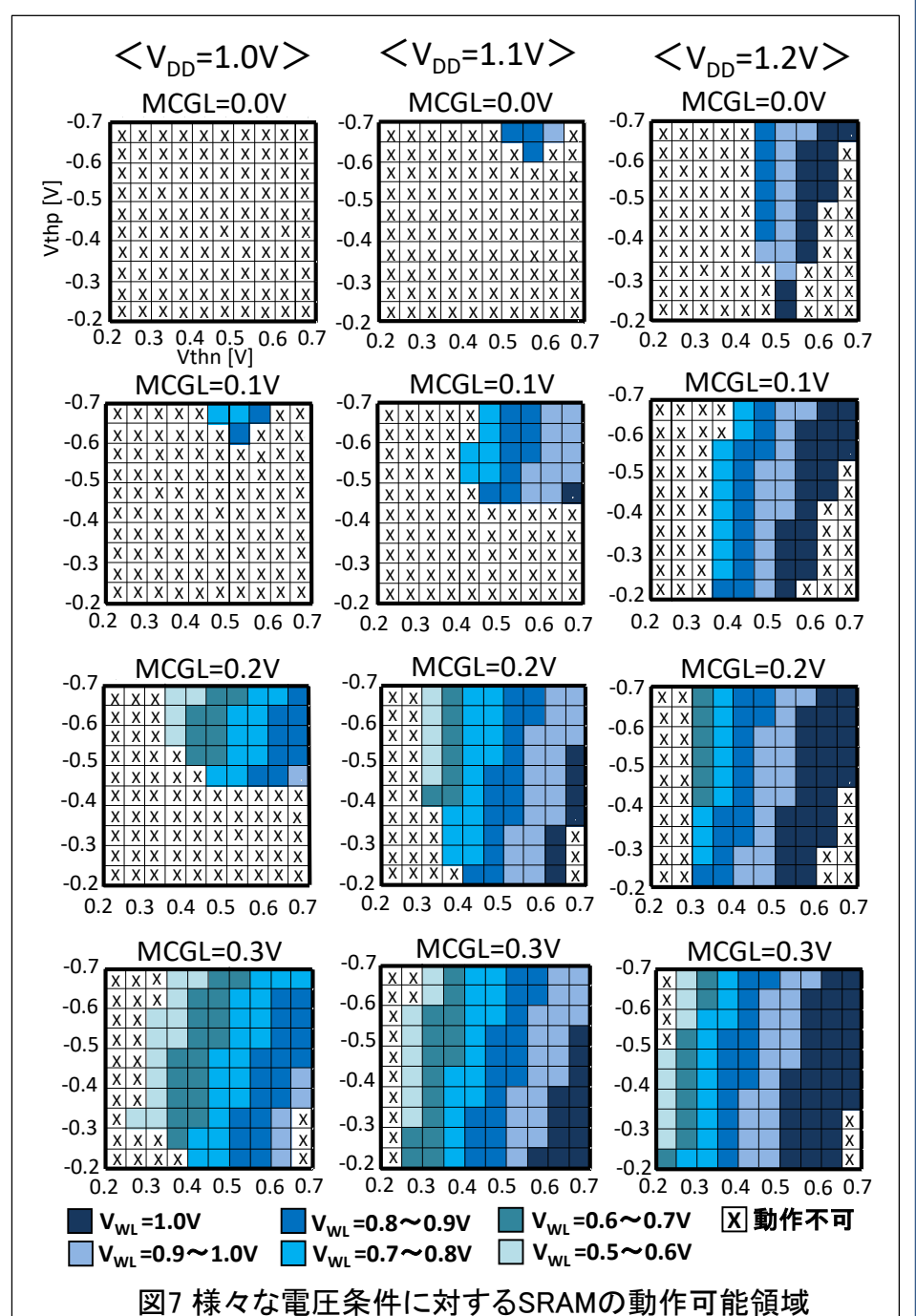
結果の一例として、 $V_{DD}=1.1V$ ,  $MCGL=0V$ の場合における書き込み限界と読み出し限界のワード線電圧 $V_{WL}$ に対する変化の様子を図6に示します。



この結果から、以下のことが分かりました。

ワード線の電圧を変えることによって、動作範囲を変化させて動作可能領域を拡大することができる。

さらに、 $V_{DD}$ ,  $MCGL$ ,  $V_{WL}$ を様々に変化させた膨大なシミュレーションにより、しきい値電圧の中心値の仕上がりに対する動作可能領域を明らかにしました。図7に結果の例を示します。図では、右方向に $V_{DD}$ が高く、下方向に $MCGL$ が高くなっており、 $V_{WL}$ 毎に動作可能領域を色分けして示しています。



この結果から、以下のことが分かりました。

- 各しきい値の仕上がりに対して、電圧条件を最適化することにより、しきい値の仕上がり値が0.3V~0.6Vの広い範囲でSRAMを動かすことができる。
- MCGLおよび $V_{DD}$ を上げることで動作範囲が拡大する。

### 4. 結論

- しきい値電圧 $V_{th}$ の仕上がり値とSRAMに与える最適電圧との関係を調べ、対応を明らかにしました。
- 電圧条件を最適化することで、従来は動作不可能であったSRAMを動作可能として救済することができます。

### 5. 今後の課題

$V_{th}$ の刻みを小さくすることでさらなる動作可能領域の拡大を図ること、さらに図4の第2段階、第3段階を進め、研究を完成させること、が挙げられます。

### <謝辞>

本研究はJSPS科研費(JP23560423)の助成を受けたものです。

### <参考文献>

- P. Stolk, et al., IEEE Trans. Elect. Dev., Vol. 45, No. 9, pp. 1960-1971, 1998.
- http://ptm.asu.edu/
- K. Kishida, et al., IEEE The 2013 International Meeting for Future of Electron Devices, Kansai (IMFEDK2013), pp.104-105, June 5-6, 2013.